

Sesion Práctica– Sistemas Digitales (VHDL + FPGA) – 01

Título:

Sistema Modular de Clasificación Inteligente de Objetos en VHDL con Implementación en FPGA Digilent (Basys 3 / Zybo Z7)

Contexto del Proyecto:

Una empresa de logística verde desea automatizar el proceso de clasificación de objetos mediante sensores físicos. Para ello, se requiere desarrollar un sistema digital implementado en VHDL compuesto por dos bloques interconectados: (1) un clasificador lógico que detecta propiedades del objeto y decide su destino, y (2) un controlador que activa los mecanismos correspondientes (motor o brazo robótico). El sistema será simulado y luego desplegado en una FPGA Digilent (Basys 3 o Zybo Z7).

Objetivos:

- Aplicar lógica combinacional mediante arquitectura modular en VHDL.
- Implementar y simular un sistema digital de clasificación jerárquico.
- Realizar la integración de dos bloques lógicos a nivel de sistema.
- Ejecutar pruebas físicas del sistema en una FPGA Digilent.

Arquitectura del Sistema:

El sistema está conformado por dos entidades VHDL interconectadas del siguiente modo:

- Bloque 1 – Entidad: clasificador_objeto
 - - Entradas: A (metálico), B (grande), C (pesado), D (cilíndrico)
 - - Salidas: S1 (reciclaje), S0 (embalaje)
 - - Lógica: usa combinaciones de sensores para clasificar el objeto.
- Bloque 2 – Entidad: control_mecanismo
 - - Entradas: S1, S0 (desde el clasificador)
 - - Salidas: T1 (motor a reciclaje), T0 (brazo a embalaje)
 - - Lógica: activa mecanismos según señales del bloque 1.

Ambos bloques son instanciados en una entidad superior: sistema_clasificacion.

Actividades del Estudiante:

1. Crear los archivos VHDL para las entidades clasificador_objeto y control_mecanismo.
2. Codificar cada bloque según su función lógica utilizando estructuras combinacionales.

3. Diseñar el archivo sistema_clasificacion.vhdl para conectar ambas entidades.
4. Escribir un testbench (tb_sistema_clasificacion.vhdl) para simular el comportamiento para informe.
5. Asignar los pines de entrada/salida en el archivo .xdc según la FPGA utilizada.
6. Sintetizar y cargar el diseño en la FPGA utilizando Vivado.
7. Validar el sistema de forma física con interruptores y LEDs.

Asignación de Pines:

Basys 3:

A eleccion

Zybo Z7 (verificar en archivo Zybo-Z7-Master.xdc):

A eleccion

Entregables:

- Archivos VHDL de cada entidad y el sistema completo.
- Archivo .xdc con asignación de pines para la FPGA usada.
- Capturas de pantalla de simulación funcional.
- Informe técnico con diagrama de bloques, descripción funcional, pruebas y conclusiones.
- Hoja de avance practico que tiene el 50% del peso de la sesion practica